Vorlesung 7

Folie 3

Folie 3 zeigt den Verstärker mit einer kapazitiven Last.

In Vorlesung 6 haben wir die folgenden Parameter hergeleitet:

Verstärkung:

$g_m \cdot R_{out}$ mit $R_{out} = r_{dsin} || r_{dsload}$.

AC Übertragungsfunktion:

$$A(s) = V_{out}(s) / V_{in}(s) = -g_m R_{out} / (1 + s R_{out} \cdot C_{out})$$

Gegenkopplung wird benutzt um 1) einen richtigen Arbeitspunkt herzustellen und um eine stabile (Temperaturunabhängige) Verstärkung zu bekommen.

Folie 4

Folie 4 zeigt den Verstärker mit Gegenkopplung.

Mit GK haben wir die folgende Übertragungsfunktion:

$$A_{fb} = (A_{in} A_{ol}(s)) / (1 + \beta A(s)) \sim -1 / \beta (1 + s C_{out} / \beta g_m)$$

$$A_{ol}(s) = -g_m R_{out} / (1 + s R_{out} \cdot C_{out})$$

$$A_{in} = C_{in} / (C_{in} + C_{fb})$$

$$\beta = C_{fb} / (C_{in} + C_{fb})$$

Die Annahmen sind $C_{in} \gg C_{fb}$ und $C_{fb} \ll C_{out}$.

Diese Schaltung hat zwei Nachteile:

Die Leerlaufverstärkung (A_{ol}) ist zu niedrig um eine gute Linearität mit GK zu erreichen.

Folie 5

Es gibt auch ein weiterer Nachteil, für $V_{in} = V_{out}$ (DC Rückkopplung) kann die Ausgangsspannung nur noch um V_{th} sinken. Für niedrigere V_{out} kommt der Transistor T_{in} in den linearen Bereich und seine Verstärkung sinkt.

Typischerweise darf die positive V_{out} Amplitude höher sein als die negative. Das heißt, wir können nur die negativen Eingangssignale in der Regel besser verstärken. Das ist nicht immer problematisch – oft sind die Signale unipolar.

Folie 6

Kommentar zum R_{out} :

Vergleich zu Übungen:

Die AC-Schaltung mit dem Transistor-Verstärker hat praktisch die gleiche Form wie die Schaltung in aus der Übung 1 (bis auf die leicht geänderte GK).

Der Unterschied ist, dass wir jetzt eine gesteuerte Stromquelle mit dem Widerstand R_{out} haben – in der Übung war es eine Spannungsquelle. Da man eine Stromquelle mit dem Strom $g_m V_{gs}$ und dem Widerstand R_{out} in eine Spannungsquelle mit Spannung $g_m V_{gs} \cdot R_{out}$ und dem Widerstand R_{out} überführen kann, sind die Schaltungen gleichwertig.

Es gibt aber einen kleinen Unterschied: R_{out} ist typischerweise größer als 10 k Ω . (Wert aus der Übung) Man könnte zum Schluss kommen, dass die Schaltung mit Transistoren zu langsam ist. (Die zeitkonstante ohne RK ist $R_{out} \cdot C_{out}$) Beachten wir aber, dass mit RK die Zeitkonstante um $\beta A = \beta \cdot g_m \cdot R_{out}$ schneller wird. βA hängt also auch von R_{out} ab. Dementsprechend ist die Geschwindigkeit mit RK von R_{out} unabhängig:

$$T_{fb} = g_m / C_{out} \quad (1)$$

(Wenn R_{out} steigt wird die Zeitkonstante ohne RK zwar langsamer aber βA gleichzeitig höher.) Ähnliches kann man auch für den Ausgangswiderstand mit RK zeigen.

Folie 7

Erhöhung der Verstärkung:

Wie können wir die Verstärkung erhöhen? Eine Möglichkeit ist es nur R_{out} zu erhöhen und g_m niedrig zu halten. Wir sehen aber, dass wir für eine schnelle Antwort auch hohe g_m brauchen (s. Gl. 1). Deshalb sollten wir beides g_m und R_{out} maximieren.

R_{out} ist die Parallelschaltung von zwei r_{ds} -Widerständen.

Wie in Vorlesung 5 erklärt wurde, haben wir höhere r_{ds} Werte für lange Transistoren. Es gilt:

$$r_{ds} = \frac{V_{sat} L}{I_{ds}}$$

Für g_m gilt:

$$g_m = \sqrt{2 \cdot \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot I_{ds}} \quad (\text{starke Inversion})$$

$$g_m = \frac{I_{ds}}{n U_T} \quad (\text{schwache Inversion}).$$

Wenn wir L vom T_{in} erhöhen, und andere Parameter konstant lassen, verbessern wir seinen r_{ds} aber verschlechtern g_m . Das wollen wir nicht. Also, um beides zu erhöhen (g_m und R_{out}), müssen wir also sowohl W als auch L des Eingangstransistors hochskalieren.

Nachteil: Dadurch wird das Layout des Transistors und seine Eingangskapazität groß. Eine große Eingangskapazität ist schlecht – erinnern wir uns an das Beispiel in der Übung wo der Verstärker leicht instabil geworden ist (es gab einige Schwingungen) als wir C_{in} eingefügt haben.

Die Optimierung von T_{in} ist also schwierig.

Folie 8

Ich würde die folgende Optimierungsmethode empfehlen:

Wir fangen von der Spezifikationen für den Leistungsverbrauch an.

Bestimmen wir entsprechend dieser Spezifikation einen sinnvollen I_{ds} Strom:
z.B. 40 μ A.

Eine Transistorlänge wird festgelegt:

$$L = m \cdot L_{min} \quad (m \sim 3).$$

L soll in der Regel wenigstens 2-3 x L_{min} sein, sonst wäre r_{ds} zu schlecht.

Wie skalieren W hoch bis V_{dssat} auf etwa 100mV kommt. Dann sind wir an der Grenze der schwachen Inversion und eine weitere W-Erhöhung hilft nicht mehr. Sie vergrößert g_m nicht und macht den Transistor unnötig größer.

Folie 9

Optimierung von Tload

Die Last-Stromquelle Tload ist einfacher zu optimieren da ihre g_m unwichtig ist. Wir sollen nur r_{ds} maximieren. Wir wählen deshalb ihre Länge (L_{pmos}) groß. Beachten wir aber, dass wir damit bei einem gegebenem Strom $|V_{gs}|$ erhöhen. Das heißt der Transistor kommt aus der Sättigung für niedrigere V_{out} Spannungen. Der Signalbereich ist eingeschränkt.

Hier können wir folgendes machen: Zuerst eine V_{dssat} wählen - z.B. ~200mV, dann eine L_{pmos} von etwa $2 \cdot L_{nmos}$ wählen und W entsprechend hoch skalieren so dass wir V_{dssat} von 200mV erreichen.

$$\text{Es gilt: } V_{dssat} = \sqrt{I \cdot L/W / (\mu \cdot c_{ox})}$$

Nach solch einer Optimierung, bekommen wir man in der Regel:

$r_{dsin} \ll r_{dsload}$ weil die Konstante E_{sat} für PMOS (6.4V/ μ m) höher als für NMOS (2.4V/ μ m) ist und weil $L_{pmos} = 2 \cdot L_{nmos}$.

$$(r_{ds} = E_{sat} L / I_{ds})$$

Es gilt also $A = -g_m \cdot r_{dsin} \parallel r_{dsload} \sim -g_m \cdot r_{dsin}$.

Folie 10

Berechnen wir jetzt eine typische Verstärkung:

Für schwache Inversion gilt: $g_m = I_{ds}/nU_t$. ($n = 1.5$)

$R_{ds} \sim E_{sat} L / I_{ds}$ mit E_{sat} (NMOS) $\sim 2.4V$.

Die Verstärkung ist:

$$A = - E_{sat} L / I_{ds} * I_{ds}/nU_t = m * L_{min} * E_{sat}/nU_t \sim m * 4 \sim 12$$

($L_{min} = 65nm$)

Es ist schwierig auf diese Weise hohe Verstärkungen zu erreichen.

(Übungsschaltung hat die maximale Verstärkung von 30)

Es gibt einen Trick das zu verbessern – die Kaskode.

Folie 11

Verstärker mit Kaskode

Erinnern wir uns, die Kaskode ist ein Impedanzwandler.

In erster Näherung gilt: $I_{out} = I_{in}$

Die Eingangsimpedanz ist niedrig ($1/g_{m,casc}$), die Ausgangsimpedanz ist hoch.

$$R_{out} = g_{m,casc} * r_{d,casc} * r_{d,ssig}$$

Folie 12

Folie 12 zeigt den Spannungsverstärker mit Kaskode.

Eine ideale Kaskode leitet den Strom des U-I Wandlers durch.

Deshalb ist die Verstärkung durch die gleiche Formel wie ohne Kaskode gegeben:

$$A = -I_{ds} * R_{out} = -g_m V_{gs} * R_{out}$$

R_{out} ist höher als ohne Kaskode: R_{out} setzt sich aus zwei Widerständen in Parallel zusammen. (Das kann man sehen wenn man AC-Kleinsignalmodell zeichnet.) Einen Widerstand erzeugt die Schaltung oberhalb vom Ausgang – die Last-Stromquelle.

Dieser Widerstand ist r_{ds_load} . Den anderen Widerstand erzeugen die Schaltungen unterhalb des Ausgangs. Erinnern wir uns an Ergebnis für den Ausgangswiderstand einer Kaskode:

Es ist $g_m_casc r_{ds_casc} * r_{ds}$, wo r_{ds} der Widerstand des Bauteils ist, der an die Kaskode angeschlossen ist. Das ist in unserem Fall der Eingangstransistor.

Folie 13

Vergleichen wir die Widerstände vom Ausgang nach unten mit und ohne Kaskode.

Ohne Kaskode: r_{ds}

Mit Kaskode: $g_m_casc r_{ds_casc} * r_{ds}$

Mit Kaskode haben wir einen um mindestens Faktor 10 größeren Widerstand.

Die Spannungsverstärkung mit Kaskode ist

$$A = -g_m (r_{ds_load} || g_m_casc r_{ds_casc} * r_{ds})$$

Ohne Kaskode war es:

$$A = -g_m (r_{ds_load} || r_{ds})$$

Typischerweise ist die Verstärkung mit Kaskode mindestens um Faktor 10 höher.

Folie 14

Für AC Signale gilt:

$$A(s) \sim -g_m R_{out} / (1 + s C_{out} * R_{out})$$

Die Schaltung mit Kaskode hat um Faktor R_{out_casc}/R_{out} höhere DC-Verstärkung und um den gleichen Faktor niedrigere Bandbreite ohne Gegenkopplung. Wenn man eine Gegenkopplung verwendet, sind beide Schaltungen gleich schnell.

Folie 15

Wir haben bis jetzt für die Kaskode folgendes angenommen: $i_{out_casc} = i_{in_casc}$.

Das gilt nur für sehr niedrige Eingangswiderstände der Kaskode ($R_{in_casc} = 1/g_{m_casc}$).

In Wirklichkeit haben wir am Eingang der Kaskode einen Stromteiler. Es gilt:

$$i_{out_casc} = i_{in_casc} * r_{ds} / (1/g_{m_casc} + r_{ds})$$

r_{ds} ist der Drain-Source Widerstand des Eingangstransistors.

Für $r_{ds} \gg 1/g_{m_casc}$ gilt: $i_{out_casc} \sim i_{in_casc}$.

Wenn die Kaskode zu „schwach“ dimensioniert ist (g_{m_casc} niedrig) haben wir $i_{out_casc} \ll i_{in_casc}$. Der Verstärker mit Kaskode ist dann, auch mit Gegenkopplung, langsamer als ein einfacher Verstärker ohne Kaskode.

Folie 16

Die Schaltung mit Kaskode hat in Prinzip noch eine Zeitkonstante. Sie ist C_{gs_casc}/g_{m_casc} . Diese Zeitkonstante ist normalerweise viel schneller als die dominante Zeitkonstante und beeinflusst die Schaltung und die Stabilität nicht.

Folie 17

Ein Verstärker mit Kaskode hat eine höhere Spannungsverstärkung bei gleicher g_m – es ist also fast immer gut eine Kaskode zu verwenden.

Folie 18

Wenn man eine Erweiterung (z.B. Kaskode) in eine Schaltung einbaut um einen Parameter (z.B. Verstärkung) zu verbessern werden oft andere Eigenschaften verschlechtert.

Im Fall vom Verstärker mit Kaskode bekommen so wir einen kleineren Signalbereich.

Erinnern wir uns: Damit ein Transistor in Sättigung bleibt muss seine Drain-Source-Spannung höher als V_{dssat} sein.

$$V_{dssat} = V_{gs} - V_{th} = \sqrt{2 \cdot (L/W) \cdot I / (\mu C_{ox})}$$

Wenn wir, neben dem Eingangstransistor, noch den Kaskoden-Transistor haben, muss die Ausgangsspannung (bzw. das Potential) hoch genug sein, so dass beide Transistoren in Sättigung abreiten. Das ist mindestens $V_{dssat_in} + V_{dssat_casc}$.

(Diese minimale Spannung gilt nur wenn wir das Gate-Potential der Kaskode so wählen, dass die Source der Kaskode auf dem Potential V_{dssat_in} ist.)

Ein eingeschränktes Signalbereich am Ausgang ist schlecht da es zu kleinerem Signal zu Rauschen Verhältnis (SNR) führt. Das Rauschen ist normalerweise von Verstärkung unabhängig. Das „Rezept“ um SNR zu erhöhen ist es die Signalamplitude am Ausgang des Verstärkers zu maximieren.

Folie 19

Wir könnten auch den Stromspiegel mit Kaskoden erweitern (kaskodieren) um die Spannungsverstärkung weiter zu erhöhen.

Solch ein Stromspiegel ist in Fole 19 zu sehen. Der Ausgangswiderstand des Stromspiegels:

$r_{ds_casc2} * g_{m_casc2} * r_{ds_load}$.

Folie 20

Stromspiegeln mit Kaskoden

Die Transistoren eines Stromspiegels werden oft mit Kaskoden erweitert. Mit Kaskoden möchte man im Prinzip zwei Dinge erreichen:

- 1) Den Ausgangswiderstand verbessern um z.B. die Spannungsverstärkung zu erhöhen, wenn ein Stromspiegel als Last-Element benutzt wird.
- 2) Den Fehler beim Strom-Kopieren minimieren. Der Fehler entsteht deswegen, weil wir endliche r_{ds} vom Dioden- und Ausgangstransistor haben und weil die Drain-Spannungen verschieden sind.

Folien 21 und 22

Für 1) wäre es genug nur den Ausgangstransistor zu kaskodieren. Für 2) ist es besser beide Transistoren zu kaskodieren. Im zweiten Fall (Folie 22) sind die Drain-Source Spannungen vom Dioden- und Ausgangstransistor gleich. Das gilt weil die Kaskoden-transistoren praktisch die gleichen V_{gs} Spannungen haben – die Transistoren haben identische Größen und leiten die gleichen Ströme. Ihr Gate Potential ist ebenfalls gleich, also habe die Source-Knoten auch demselben Potential.

Damit alles wie beschrieben funktioniert, müssen das Kaskoden-Gatepotential und die Dimension von Kaskoden so gewählt werden damit alle Transistoren in Sättigung arbeiten. Das ist insbesondere bei dem Diodentransistor schwierig.

Folie 23

Folgendes muss erfüllt werden:

$$V_{gate_c(min)} = V_{dssat_dio} + V_{dssat_c} + V_{th}$$

Dann ist der Dioden-Transistor in Sättigung

$$V_{gate_c(max)} = V_{gate_dio} + V_{th} = V_{dssat_dio} + 2 * V_{th}$$

Dann ist der Kaskoden-Transistor in Sättigung

$$\text{Es gilt } V_{gate_c(max)} - V_{gate_c(min)} = V_{th} - V_{dssat_c}$$

Also, die Kaskode muss breit genug sein damit ihre V_{dssat} kleiner als V_{th} ist.

Es ist besser V_{gate} nah zu $V_{gate_c(min)}$ zu wählen, da wir dadurch einen höheren Signalbereich am Ausgang haben.

In dem Fall gilt: $V_{out} > V_{dssat_dio} + V_{dssat_c}$. (A)

Folie 24

Eine einfachere Variante des Stromspiegels mit Kaskode ist in Folie 24 dargestellt. Hier brauchen wir keine externe Spannungsquelle für Kaskoden-Gate. Beachten wir auch, dass der Dioden-Transistor eigentlich keine Kaskode hat. Trotzdem sind die Drain Potentiale des Dioden- und Ausgangstransistors praktisch gleich. Dieser Stromspiegel ist einfacher zu realisieren - es funktioniert immer richtig wenn die Ausgangsspannung hoch genug ist.

Für die Ausgangsspannung gilt die folgende Bedingung:

$$V_{out} > V_{dssat_dio} + V_{dssat_c} + V_{th} \text{ (B)}$$

Es ist um V_{th} schlechter als bei dem ersten Spiegel (s. Gl. A). Fazit: Der zweite Stromspiegel ist einfacher zu realisieren - hat aber einen eingeschränkten Signalbereich. In nm-Technologien, wo die Versorgungsspannung typischerweise $\sim 1V$ ist, ist es ein Nachteil.

Folie 25

Diese Folie zeigt eine einfachere Version des Stromspiegels mit Kaskoden (Folie 23). Der Signalbereich am Ausgang ist durch die Gleichung A gegeben.

Im Gegensatz zur Schaltung von Folie 23, brauchen wir keine getrennte Spannung für die Gates der Kaskoden.

Die Sättigungsbedingung für den Dioden-Transistor lautet:

$$V_{\text{gate_c}} = V_{\text{dssat_dio}} + V_{\text{th_dio}} > V_{\text{dssat_dio}} + V_{\text{dssat_c}} + V_{\text{th_casc}}$$

Das ist erfüllt wenn: $V_{\text{th_dio}} > V_{\text{dssat_c}} + V_{\text{th_casc}}$

Die Kaskoden müssen also mit Low-Threshold Transistoren realisiert werden.

Moderne CMOS Prozessen bieten solche Transistoren an.

Folie 26

Dynamikbereich

Rechnen wir jetzt den Signalbereich am Ausgang des Verstärkers mit Kaskode:
Um die Analyse zu vereinfachen nehmen wir an, dass wir keinen Stromspiegel mit Kaskode haben - es bleibt nur die Kaskode am Eingangstransistor.

Wenn wir Kaskoden-Gate-Potential optimal wählen, muss das Ausgangspotential im folgenden Bereich liegen:

$$V_{\text{out_min}} = V_{\text{dssat_in}} + V_{\text{dssat_casc}}$$

$$V_{\text{out_max}} = V_{\text{DD}} - V_{\text{dssat_load}}$$

Nehmen wir folgende Werte an: NMOS (Kaskode und Eingangstransistor):
 $V_{\text{dssat}} \sim 100\text{mV}$, PMOS $V_{\text{dssat}} \sim 200\text{mV}$, Die Schwelle-Spannung ist etwa 400mV (65nm Technologie).

Wir bekommen:

$$V_{\text{out_min}} \sim 200\text{mV}$$

$$V_{\text{out_max}} \sim V_{\text{DD}} - 200\text{mV}$$

Folie 27

Wenn wir den Verstärker mit einer Gegenkopplung stabilisieren, die für $V_{in} = V_{out}$ sorgt, haben wir ohne Signal am Ausgang etwa 500mV. ($V_{th} + V_{dssat}$)

Wir sehen, dass wir nach unten nur noch etwa 300mV Signalhub haben. Nach oben ist es $V_{DD} - 700mV$. Für hohe V_{DD} haben wir mehr Signalbereich nach oben.

Ist gebe eine Liste der Versorgungsspannungen:

350nm Technologien: $V_{DD} = 3.3V$, $V_{plus} = 2.6V$, $V_{minus} = 300mV$

180nm Technologien: $V_{DD} = 1.8V$, $V_{plus} = 1.1V$, $V_{minus} = 300mV$

65nm Technologie: $V_{DD} = 1.2V$, $V_{plus} = 0.5V$, $V_{minus} = 300mV$

Wir sehen, dass es eine Asymmetrie zwischen den maximalen negativen und positiven Signalen gibt - sie wird aber in moderneren Technologien niedriger.

Ich werde in weiteren Folien eine Möglichkeit zeigen die Schaltung symmetrischer zu machen.

Folie 28

Bemerken wir, dass eine Kaskode auch als Schaltung für Addieren von mehreren Strömen benutzt werden kann. Wir können an die Source Elektrode mehr als eine Stromquelle anschließen. Das ist oft nützlich. Oft ist eine Quelle die Signalquelle und eine andere Quelle erzeugt einen konstanten Biasstrom.

Folie 29

Es ist in Prinzip möglich auch PMOS Transistor für die Kaskode im Spannungsverstärker zu verwenden.

Solch eine Schaltung ist in Folie 29 gezeigt. Um einen Richtigen Arbeitspunkt für die PMOS Kaskode zu sichern müssen wir noch zwei Änderungen machen.

Folie 30

Wir schliessen an Source der Kaskode eine PMOS Stromquelle um einen richtigen Arbeitspunkt von Kaskode zu erreichen.

Folie 31

Wir verwenden einen NMOS Stromspiegel (NMOS Stromquelle) als Last-Element.

Folie 32

Leiten wir zuerst die Kleinsignalschaltung her. Wir entfernen alle konstanten Stromquellen. Die PMOS Bias-Quelle stellt für AC-Signale nur einen relativ großen r_{ds} Widerstand dar, der in parallel mit dem r_{ds} Widerstand vom Eingangstransistor steht. NMOS Last erzeugt einen Lastwiderstand r_{ds_load} .

Wenn wir diese Schaltung mit der Kleinsignalschaltung des gewöhnlichen Verstärkers mit Kaskode (genannt „direkte Kaskode“) (Folie 12) vergleichen, sehen wir, dass die Schaltungen identisch sind. Dementsprechend sind auch die Parameter wie Verstärkung, R_{out} , usw. mit den gleichen Formeln gegeben.

Der Signalpfad macht im Verstärker mit PMOS Kaskode scheinbar eine Kurve (Falte) und hat sowohl seinen Anfang als auch sein Ende in der Masse. Deswegen wird solch eine Kaskode gefaltete Kaskode (folded Cascode) genannt.

Erinnern wir uns auch an die Korrektur für I_{out_casc} ungleich I_{in_casc} (Folie 15).

$$lout_casc = lin_casc * rds / (1/gm_casc + rds)$$

Rds ist hier eigentlich $Rds_{in} || Rds_{bias}$; näherungsweise Rds_{in} (Rds des Eingangstransistors).

Diese Korrektur ist oft bei gefalteten Kaskoden bedeutend, da gm_casc klein sein kann.

Folie 33

Die DC Schaltungen von Verstärkern mit direkter- und gefalteter Kaskode sind unterschiedlich.

Betrachten wir die Großsignalschaltung mit der gefalteten Kaskode. Im Fall, dass alle Transistoren in Sättigung sind, fließen die auf Folie 33 gekennzeichneten Bias-Ströme. Durch den Last-NMOS -Transistor und die PMOS Kaskode fließt IN_{load} . Durch die PMOS Bias-Quelle fließt IP_{bias} . Durch den Eingangstransistor fließt $IP_{bias} - IN_{load}$.

Es macht Sinn IN_{load} relativ klein zu halten und IP_{bias} groß.

Warum:

Erinnern wir uns an die Formel für die Verstärkung:

$$A = -gm_{rds_load} || gm_casc * rds_casc * rds_bias || rds_in \sim -gm_{rds_load}$$

Wir möchten sowohl gm als auch rds_load maximieren. Für eine große gm muss der Bias-Strom (DC-Strom) durch den Eingangstransistor groß sein. Für einen großen Widerstand rds_load muss der Biasstrom durch die Last klein sein. Im Fall von direkter Kaskode haben die beiden Bauteile denselben Strom und es war unmöglich beide Bedingungen zu erfüllen.

Folie 34

Im Fall von gefalteter Kaskode erreichen wir beide Bedingungen durch $IN_{load} \ll IP_{bias}$. Da der Biasstrom im Last-Element klein ist, und sein rds groß, brauchen wir normalerweise keinen Stromspiegel mit Kaskode.

Beachten wir auch die Korrektur wegen $I_{\text{casc_in}} < I_{\text{casc_out}}$:

$$I_{\text{out_casc}} = I_{\text{in_casc}} * r_{\text{ds}} / (1/gm_{\text{casc}} + r_{\text{ds}})$$

oder

$$I_{\text{out_casc}} \sim I_{\text{in_casc}} (gm_{\text{casc}} * R_{\text{dsin}}) / (1 + gm_{\text{casc}} * R_{\text{dsin}})$$

Für zu schwache gm_{casc} gilt $I_{\text{casc_in}} \ll I_{\text{casc_out}}$.

Um I_{out} nicht zu klein zu machen müssen I_{load} und dementsprechend gm_{casc} ausreichend groß sein.

Eine gute Wahl ist: $I_{\text{load}} = 10\% I_{\text{bias}}$.

Folie 35

Wenn wir die Source des Eingangstransistors auf eine höhere Versorgungsspannung V_{SSA} anschließen erreichen wir es, dass die positive- und negative Amplitude des Ausgangssignals symmetrisch sind.

Folie 35 zeigt diese Schaltung. Die Annahme ist $V_{\text{dssat PMOS}} = 200\text{mV}$, $V_{\text{dssat NMOS}} = 100\text{mV}$, $V_{\text{dssat_cascode}} = 100\text{mV}$.

Wir bekommen:

$$V_{\text{out_min}} \sim 100\text{mV}$$

$$V_{\text{out_max}} \sim V_{\text{DD}} - 300\text{mV}$$

$$V_{\text{out_DC}} = V_{\text{SSA}} + 500\text{mV}$$

Folie 36

Im Falle einer 65nm Technologie haben wir:

$V_{out_min} \sim 100\text{mV}$

$V_{out_max} \sim 1.2\text{V} - 300\text{mV} = 900\text{mV}$

$V_{out_DC} = V_{SSA} + 500\text{mV}$

In diesem Fall ist $V_{SSA}=0\text{V}$ optimal.